

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

008348073     \*\*Image available\*\*

WPI Acc No: 1990-235074/199031

Complementary type thin film transistor mfr. - after patterning gate  
electrode of one conduction channel type thin film transistor using mask  
etc. NoAbstract Dwg 1/2

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2162769	A	19900622	JP 88317369	A	19881215	199031 B

Priority Applications (No Type Date): JP 88317369 A 19881215

Title Terms: COMPLEMENTARY; TYPE; THIN; FILM; TRANSISTOR; MANUFACTURE;  
AFTER; PATTERN; GATE; ELECTRODE; ONE; CONDUCTING; CHANNEL; TYPE;  
THIN; FILM; TRANSISTOR; MASK; NOABSTRACT

Derwent Class: L03; U11; U13

International Patent Class (Additional): H01L-027/09; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.  
03187269     \*\*Image available\*\*  
MANUFACTURE OF COMPLEMENTARY THIN FILM TRANSISTOR  
PUB. NO.:     02-162769 [JP 2162769 A]  
PUBLISHED:     June 22, 1990 (19900622)  
INVENTOR(s):   YOSHIDA KAZUYOSHI  
                 HAYASHI HISAO  
                 KAWAMURA AKESHI  
                 HASHIMOTO YOSHIHIRO  
APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
                 (Japan)  
APPL. NO.:     63-317369 [JP 88317369]  
FILED:           December 15, 1988 (19881215)  
INTL CLASS:     [5] H01L-029/784; H01L-027/092  
JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                 MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)  
JOURNAL:        Section: E, Section No. 976, Vol. 14, No. 421, Pg. 127,  
                 September 11, 1990 (19900911)

#### ABSTRACT

PURPOSE: To reduce masks in number in a manufacturing process by a method wherein the gate electrode of a certain conductivity type channel thin film transistor is patterned covering the element forming region of the other conductivity type channel thin film transistor with a mask and the implantation of ions is executed using the same mask, and the gate electrode of the other conductivity type channel thin film transistor is processed in succession following the same processes as above.

CONSTITUTION: After a gate electrode layer 4 is formed on the whole face, the gate electrode layer 4 of an n-channel thin film transistor is patterned using a resist mask layer 5 as mask, masking a polysilicon layer 2p of a p-channel thin film transistor with the same resist mask layer 5. Next, as the same resist mask layer 5 is left unremoved, ions are implanted. Then, the resist mask layer 5 is removed, the gate electrode layer 4 of the p-channel thin film transistor is patterned using a resist mask layer 7 as a mask, masking a polysilicon layer 2n side of an element forming region of the n-channel thin film transistor with the same resist mask layer 7. Then, as the resist mask layer 7 is left unremoved, ions are implanted.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-162769

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月22日

H 01 L 29/784  
27/092

8624-5F  
7735-5F

H 01 L 29/78  
27/08

3 1 1 C  
3 2 1 B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 相補型薄膜トランジスタの製造方法

⑯ 特 願 昭63-317369

⑰ 出 願 昭63(1988)12月15日

⑱ 発 明 者	吉 田	和 好	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	林	久 雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	河 村	明 士	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	橋 本	芳 浩	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社			東京都品川区北品川6丁目7番35号
⑲ 代 理 人	弁理士 小 池 晃			外2名

明 細 書

1. 発明の名称

相補型薄膜トランジスタの製造方法

2. 特許請求の範囲

第1導電型チャンネル薄膜トランジスタと、第2導電型チャンネル薄膜トランジスタを同一基板上に形成する相補型薄膜トランジスタの製造方法において、

絶縁基板上に半導体層を形成し、その半導体層上にゲート絶縁膜を介して全面にゲート電極層を形成する工程と、

第2導電型チャンネル薄膜トランジスタの素子形成領域をマスクしながら第1導電型チャンネル薄膜トランジスタのゲート電極層をパターニングする工程と、

同じマスクを用いて第1導電型の不純物をイオン注入する工程と、

第1導電型チャンネル薄膜トランジスタの素子

形成領域をマスクしながら第2導電型チャンネル薄膜トランジスタのゲート電極層をパターニングする工程と、

同じマスクを用いて第2導電型の不純物をイオン注入する工程とからなることを特徴とする相補型薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は同一基板上にnチャンネル薄膜トランジスタとpチャンネル薄膜トランジスタの両方を形成する相補型薄膜トランジスタの製造方法に関する。

(発明の概要)

本発明は、両導電型チャンネル薄膜トランジスタを形成する相補型薄膜トランジスタの製造方法において、一方の導電型チャンネル薄膜トランジスタのゲート電極のパターニング時には、他方の導電型チャンネル薄膜トランジスタの素子形成領

域をマスクし、同じマスクを用いて不純物のイオン注入をすることを各導電型について順に行うことにより、製造工程におけるマスク数の低減を図るものである。

#### (従来の技術)

チャンネルを形成する半導体層をポリシリコン層により構成する薄膜トランジスタが知られている。このような薄膜トランジスタにおいて、その構造を相補型にする場合には、次のような工程によって製造されていた。

先ず、第2図aに示すように、絶縁基板21上にpチャンネルとnチャンネルの各素子形成領域となるようにポリシリコン層22、22が形成され、その上部にそれぞれゲート絶縁膜23、ゲート電極層24が積層される。そして、ゲート電極層24とゲート絶縁膜23は同一のレジストマスク層25を以て同時にパターニングされる。

次に、第2図bに示すように、nチャンネル薄膜トランジスタのソース・ドレイン領域26、2

っている。

そこで、本発明は上述の技術的課題に鑑み、レジストマスク層の形成工程を減らし、その製造のスループットを改善するような相補型薄膜トランジスタの製造方法を提供することを目的とする。

#### (課題を解決するための手段)

上述の目的を達成するために、本発明の相補型薄膜トランジスタの製造方法は、第1導電型チャンネル薄膜トランジスタと、第2導電型チャンネル薄膜トランジスタを同一基板上に形成する相補型薄膜トランジスタの製造方法において、絶縁基板上に半導体層を形成し、その半導体層上にゲート絶縁膜を介して全面にゲート電極層を形成する工程と、第2導電型チャンネル薄膜トランジスタの素子形成領域をマスクしながら第1導電型チャンネル薄膜トランジスタのゲート電極層をパターニングする工程と、同じマスクを用いて第1導電型の不純物をイオン注入する工程と、第1導電型チャンネル薄膜トランジスタの素子形成領域をマ

スクしながら第2導電型チャンネル薄膜トランジスタのゲート電極層をパターニングする工程と、同じマスクを用いて第2導電型の不純物をイオン注入する工程とからなることを特徴とする。

次に、第2図cに示すように、pチャンネル薄膜トランジスタのソース・ドレイン領域28、28を形成するためのイオン注入が行われる。この時、nチャンネル側には、レジストマスク層29が形成されており、同様にp型の不純物の打ち込みが阻止される。

#### (発明が解決しようとする課題)

上述の工程により相補型薄膜トランジスタを製造する場合には、ゲート電極のパターニング工程、n型の不純物のイオン注入工程、p型の不純物のイオン注入工程の計3回のレジストマスク層の形成工程が含まれる。

ところが、レジストマスク層25、27、29の形成には、それだけ工数、時間が不可欠であり、薄膜トランジスタの製造のスループットが低くな

っている。

#### (作用)

一方の導電型の薄膜トランジスタの素子形成領域をマスクしながら他方の導電型の薄膜トランジスタのゲート電極をパターニングする工程と、その他方の導電型の薄膜トランジスタへイオン注入を行う工程を第1導電型と第2導電型のそれぞれについて行うことで、マスクの形成工程は2度で済むことになる。

#### (実施例)

本発明の好適な実施例を図面を参照しながら説明する。

本実施例は、ポリシリコン層を用いた相補型の薄膜トランジスタの製造方法であって、そのレジスト層を用いたリソグラフィ工程の数が低減さ

れ、高スループットを実現させる例である。以下、本実施例を第1図a～第1図dを参照しながら説明する。

まず、絶縁基板1上に半導体層であるポリシリコン層2が形成される。このポリシリコン層2は、第1導電型チャンネル薄膜トランジスタであるnチャンネル薄膜トランジスタ及び第2導電型チャンネル薄膜トランジスタであるpチャンネル薄膜トランジスタのそれぞれ素子形成領域となるポリシリコン層2n、2pのパターンへパターニングされる。これらポリシリコン層2n、2p上には、ゲート絶縁膜3が形成され、さらにそのゲート絶縁膜3上には、全面にゲート電極層4が形成される。

全面にゲート電極層4を形成した後、第1図aに示すように、pチャンネル薄膜トランジスタのポリシリコン層2pをレジストマスク層5を用いてマスクしながら、同じレジストマスク層5を用いてnチャンネル薄膜トランジスタのゲート電極層4をパターニングする。このパターニングには、

素子形成領域であるポリシリコン層2n側をレジストマスク層7でマスクしながら、同じレジストマスク層7でpチャンネル薄膜トランジスタのゲート電極層4をパターニングする。このパターニングには、例えばRIE等の異方性エッチングが用いられる。

次に、第1図dに示すように、同じレジストマスク層7を残したまま、今度は、pチャンネル薄膜トランジスタのソース・ドレイン領域を形成するためのイオン注入を行う。この時、pチャンネル薄膜トランジスタでは、ゲート電極層4とセルフアラインでポリシリコン層2pへp型の不純物（例えばBF<sub>3</sub>）が打ち込まれ、p型の高濃度不純物領域8、8がそのポリシリコン層2pに形成される。ここでもpチャンネル薄膜トランジスタのレジストマスク層7は、イオン注入の突き抜け防止用に機能する。また、nチャンネル薄膜トランジスタでは全面がレジストマスク層7に覆われているために、p型の不純物がイオン注入されることはない。

RIE等の異方性エッチングが用いられ、ポリシリコン層2nの一部が露出する。

次に、第1図bに示すように、同じレジストマスク層5を残したまま、nチャンネル薄膜トランジスタのソース・ドレイン領域を形成するためのイオン注入を行う。この時、nチャンネル薄膜トランジスタでは、パターニングされたゲート電極層4とセルフアラインでポリシリコン層2nへn型の不純物（例えば砒素）が打ち込まれ、n型の高濃度不純物領域6、6がそのポリシリコン層2nに形成される。そのnチャンネル薄膜トランジスタにおけるゲート電極層4上のレジストマスク層5は、このイオン注入時のイオンの突き抜け防止膜としても機能する。pチャンネル薄膜トランジスタでは、レジストマスク層5が素子形成領域であるポリシリコン層2pの範囲を覆っているため、n型の不純物がポリシリコン層2pへ打ち込まれることはない。

次に、レジストマスク層5を除去し、第1図cに示すように、nチャンネル薄膜トランジスタの

このように本実施例の相補型薄膜トランジスタの製造方法では、レジストマスク層が形成されてパターニングされるのが、レジストマスク層5とレジストマスク層7の形成時の合計2回と低減されることになり、従って、その工数が少なくなると共に、高スループットが容易に実現できることになる。

#### （発明の効果）

本発明の相補型薄膜トランジスタの製造方法は、ゲート電極層をパターニングし、第1導電型及び第2導電型の不純物のイオン注入をそれぞれ行うに際して、そのパターニングの工程が2回で済むことになり、マスクの数が低減される。このため、工程数が減り、歩留り向上や高スループットが実現されることになる。

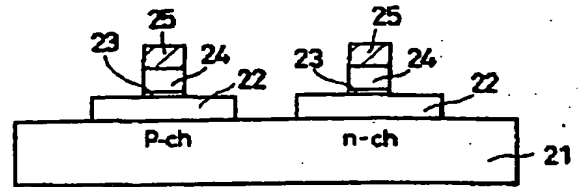
#### 4. 図面の簡単な説明

第1図a～第1図dは本発明の相補型薄膜トランジスタの製造方法の一例をその工程に従って説

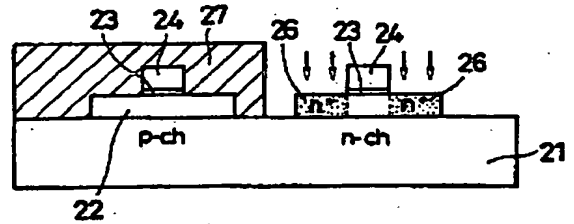
明するためのそれぞれ工程断面図、第2図a～第2図cは従来の相補型薄膜トランジスタの製造方法の一例をその工程に従って説明するためのそれぞれ工程断面図である。

- 1…絶縁基板
- 2…ポリシリコン層
- 3…ゲート絶縁膜
- 4…ゲート電極層
- 5…レジストマスク層
- 6…n<sup>+</sup>型の高濃度不純物領域
- 7…レジストマスク層
- 8…p<sup>+</sup>型の高濃度不純物領域

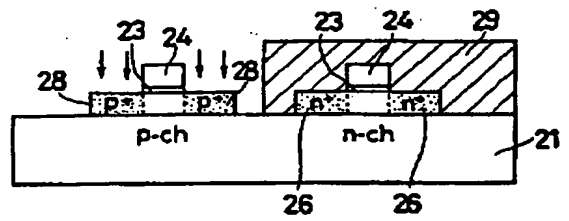
特許出願人 ソニー株式会社  
代理人弁理士 小池 晃 (他2名)



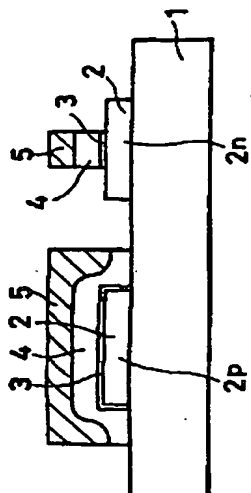
第2図 a



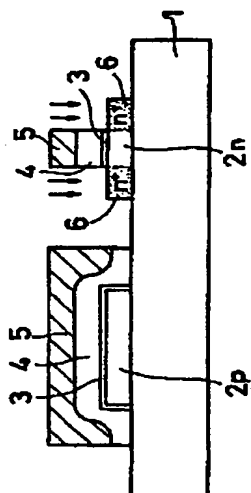
第2図 b



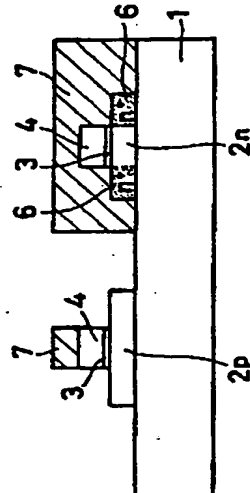
第2図 c



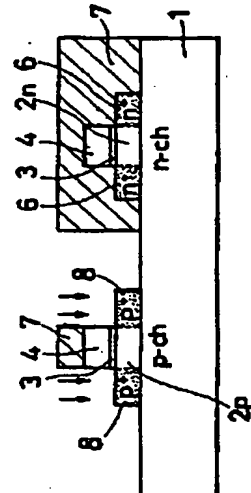
第1図 a



第1図 b



第1図 c



第1図 d